

特開2002-110951

(P2002-110951A)

(43) 公開日 平成14年4月12日 (2002.4.12)

(51) Int. Cl.	識別記号	FI	チコード(参考)
H01L 27/12		H01L 27/12	C 4M109
21/56		21/56	R 5F033
21/3205		23/12	501P 5F061
21/768		21/88	T
21/60		21/90	D

審査請求 有 請求項の数16 OL (全15頁) 最終頁に説く

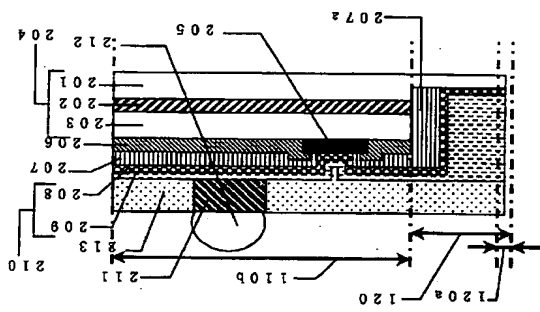
(21) 出願番号	特開2000-304720 (P2000-304720)	(71) 出願人	000000295 神電工業株式会社
(22) 出願日	平成12年10月4日 (2000.10.4)		東京都港区虎ノ門1丁目7番12号
		(72) 発明者	大内 伸仁 東京都港区虎ノ門1丁目7番12号 神電工業株式会社内
		(74) 代理人	100089093 弁理士 大西 健治 Fターム(参考) 4M109 A02 B07 C04 C021 SP033 C033 H011 H018 J101 J111 J118 K001 M005 M030 N006 P015 Q009 Q010 Q037 R004 S011 T007 V007 SP061 A02 B07 C04 C021 C005

(54) 【発明の名称】 半導体装置及びその製造方法、半導体ウエハ及びそれにより製造される半導体装置

(57) 【要約】 (修正有)

【課題】 半導体装置の表面電位を固定するための導電層が設けられるエッジ領域を狭くする。

【解決手段】 素子形成領域110を囲むエッジ領域120を有するベース用半導体基板201上に設けられる埋め込み酸化膜202と、素子形成領域202上に設けられる素子形成用半導体基板203と、素子形成領域203と、素子形成領域203の面とエッジ領域120のベース用半導体基板201の一部とに設けられる絶縁膜207と、電極パッド205上と絶縁膜207上とエッジ領域120のベース用半導体基板201上に設けられる導電層210と、素子形成領域210の導電層210上に設けられるポスト211と、ポスト211の第1の面に設けられる球状電極212と、ポスト211の第3の面と導電層210を封止する封止部材213と、を有するものである。



【特許請求の範囲】

【請求項1】 素子形成領域と該素子形成領域を囲むエッジ領域とを有するベース用半導体基板と、前記素子形成領域の前記ベース用半導体基板の第1の面に設けられる埋め込み酸化膜と、

前記埋め込み酸化膜の第1の面に設けられる素子形成用半導体基板と、

前記素子形成用半導体基板上と、前記埋め込み酸化膜の第3の面と、前記エッジ領域のベース用半導体基板の第1の面とに設けられる絶縁膜と、

前記絶縁膜上と、前記エッジ領域のベース用半導体基板の第1の面とに設けられる導電層と、

前記導電層と電気的に接続されるように設けられる導電性柱状部材と、

前記導電性柱状部材の第3の面と、前記導電層とを封止する封止部材とにより構成される半導体装置。

【請求項2】 請求項1記載の半導体装置であって、前記ベース用半導体基板の第2の面に、第3の導電層を設けたことを特徴とする半導体装置。

【請求項3】 素子形成領域と、該素子形成領域を囲むエッジ領域とを有するベース用半導体基板と、

前記素子形成領域の前記ベース用半導体基板の第1の面に設けられる埋め込み酸化膜と、

前記埋め込み酸化膜の第1の面に設けられる素子形成用半導体基板と、

前記素子形成用半導体基板上に設けられる電極パッドと、

前記電極パッドの一部と、前記素子形成用半導体基板上に設けられる酸化膜と、

前記電極パッドの一部と、前記酸化膜上と、前記素子形成用半導体基板の第3の面と、前記埋め込み酸化膜の第1の面とに設けられる絶縁膜と、

前記絶縁膜上と、前記絶縁膜上と、前記エッジ領域の前記ベース用半導体基板の第1の面とに設けられる導電層と、

前記導電層と電気的に接続されるように設けられる導電性柱状部材と、

前記導電性柱状部材の第1の面に設けられる球状電極と、

前記導電性柱状部材の第3の面と、前記導電層とを封止する封止部材と、により構成されることを特徴とする半導体装置。

【請求項4】 請求項3記載の半導体装置であって、前記導電層は、前記エッジ領域の前記ベース用半導体基板の第1の面の一部に設けられ、

前記封止部材は、前記エッジ領域の前記ベース用半導体基板の第1の面を封止することを特徴とする半導体装置。

【請求項5】 請求項3若しくは請求項4記載の半導体装置の製造方法。

装置であって、前記ベース用半導体基板の第2の面に、第3の導電層を設けたことを特徴とする半導体装置。

【請求項6】 絶縁膜を介して素子形成領域を囲むエッジ領域に囲まれた複数の半導体装置からなる半導体ウエハであって、

前記素子形成領域の前記半導体装置は、ベース用半導体基板の第1の面に埋め込み絶縁膜を介して素子形成用半導体基板が設けられ、

前記エッジ領域の前記半導体装置は、該ベース用半導体基板の第1の面に導電層が設けられたことを特徴とする半導体装置。

【請求項7】 請求項6記載の半導体ウエハであって、前記ベース用半導体基板の第2の面に、第3の導電層を設けたことを特徴とする半導体ウエハ。

【請求項8】 請求項7記載の半導体ウエハを用いた半導体装置であって、

前記半導体装置は、前記半導体ウエハを前記エッジ領域で切断することによって製造されることを特徴とする半導体装置。

【請求項9】 素子形成領域と該素子形成領域を囲むエッジ領域とを有するベース用半導体基板の第1の面に、埋め込み酸化膜を介して素子形成用半導体基板を設けたことを特徴とする半導体ウエハを準備する工程と、

前記素子形成領域の前記素子形成用半導体基板上に電極パッドを設ける工程と、

前記電極パッドの一部と前記素子形成用半導体基板上に、酸化膜を設ける工程と、

前記エッジ領域の前記酸化膜と前記素子形成用半導体基板と前記埋め込み酸化膜を削り、前記ベース用半導体基板を露出させる工程と、

前記電極パッドの一部と、前記酸化膜上と、前記露出された素子形成用半導体基板及び埋め込み酸化膜の第3の面と、前記露出されたベース用半導体基板の第1の面とに絶縁膜を設ける工程と、

前記絶縁膜上と、前記絶縁膜上と、前記露出されたベース用半導体基板の第1の面とに導電層を設ける工程と、

前記素子形成領域の前記導電層と電気的に接続されるように導電性柱状部材を設ける工程と、

前記導電性柱状部材の第1の面に球状電極を設ける工程と、

前記導電性柱状部材の第3の面及び前記導電層を封止する工程と、

前記エッジ領域に沿って、前記半導体ウエハを切断する工程とを有することを特徴とする半導体装置の製造方法。

【請求項10】 請求項9記載の半導体装置の製造方法であって、前記ベース用半導体基板の第2の面に第3の導電層を形成する工程を有することを特徴とする半導体装置の製造方法。

み酸化膜202及び葉子形成用半導体基板203は設けられていない。

【0014】電極パッド205は、葉子形成用半導体基板203上に設けられている。

【0015】酸化膜206は、電極パッド205の第1の面(例えば、上面)の一部と、電極パッド205の第3の面(例えば、上面)の面と、葉子形成用半導体基板203上に設けられている。

【0016】絶縁膜207は、電極パッド205の第1の面の一部と、酸化膜206と、エッジ領域120内のベース用半導体基板201の第1の面の一部とに設けられている。ここで、エッジ領域120内に設けられている絶縁膜207の一部の絶縁膜207aは、第2の領域110bとエッジ領域120との境界に設けられている。そして、絶縁膜207aは、第2の領域110b内のベース用半導体基板201の第1の面と、埋め込み酸化膜202の第3の面(例えば、側面)と、葉子形成用半導体基板203の第3の面(例えば、側面)と、酸化膜206の第3の面(例えば、側面)とに設けられている。

【0017】導電層210は、例えばTi(チタン)からなる金属膜208(以下、Ti金属膜208という)と、例えばCu(銅)からなる金属膜209(以下、Cu金属膜209という)とにより構成されている。Ti金属膜208は、電極パッド205の第1の面の一部と、絶縁膜207、207a上と、エッジ領域120内のベース用半導体基板201の第1の面とに設けられている。ここで、Ti金属膜208は、電極パッド205と電気的に接続されている。また、エッジ領域120のTi金属膜208は、ベース用半導体基板201と電気的に接続されている。Cu金属膜209は、Ti金属膜208上に設けられている。Cu金属膜209は、Ti金属膜208と電気的に接続されている。よって、ベース用半導体基板201は、導電層210を介して、電極パッド205と電気的に接続されている。ここで、第2の領域110bのベース用半導体基板201の第1の面からCu金属膜209までの高さとは、エッジ領域120のベース用半導体基板201の第1の面からCu金属膜209までの高さとは、ほぼ同じである。ここで、導電層210がTi金属膜208とCu金属膜209とにより構成されている理由は、Cu金属膜209が剥がれる可能性があるからである。そのため、Cu金属膜209に比べて耐がれにくいTi金属膜208を絶縁膜207上に設け、Ti金属膜208上にCu金属膜209を設けている。

【0018】ポスト211は、葉子形成領域110のCu金属膜209上に設けられている。ここで、ポスト211は、Cu金属膜209と電気的に接続されている。

【0019】はんだボール212は、ポスト211の第

【0027】(3) はんだボール212を介して他の半導体装置と接続されたとき、はんだボール212を介して電圧が供給される。供給された電圧は、電極パッド205を介して本発明の第1の実施の形態の半導体装置の内部回路に供給されと共に、導電層210を介してベース用半導体基板201に供給される。よって、本発明の第1の実施の形態の半導体装置は、ベース用半導体基板201の基底電位を固定することができる。

【0028】(4) エッジ領域120の半導体装置は、ベース用半導体基板201と、ベース用半導体基板201の第1の面に設けられた導電層210と、導電層210上に設けられた封止部材213とにより構成されている。そのため、エッジ領域120の導電層210の第3の面(例えば、側面)は、露出されている。よって、本発明の第1の実施の形態の半導体装置は、導電層210の露出した第3の面を介して他の半導体装置と接続した場合、他の半導体装置から電圧を供給されることが及び他の半導体装置に電圧を供給することができる。

【0029】次に、本発明の第1の実施の形態の半導体装置の製造方法について説明する。本発明の第1の実施の形態の半導体装置は、ウェハ状態で複数個同時に製造される。図3及び図4は、図1(a)のC-C'線についての断面図である。ここで、図3及び図4では、説明の都合上、2つの半導体装置300、350が示されているが、2つに限定されないことは言うまでもない。以下、特に、葉子形成領域110の第2の領域110b及びエッジ領域120において、半導体装置300が製造される工程について説明する。

【0030】初めに、図3(a)に示すように、ベース用半導体基板201の第1の面に埋め込み酸化膜202を介して葉子形成用半導体基板203を設けた半導体基板204を有するウェハを準備する。ここで、半導体基板204は、葉子形成領域110の第2の領域110bと、葉子形成領域110を取り囲むエッジ領域120とを有する。第2の領域110b内の葉子形成用半導体基板203上に、電極パッド205を設ける。そして、電極パッド205の第1の面に一部と、葉子形成用半導体基板203上に、酸化膜206を設ける。

【0031】次に、図3(b)に示すように、ダイシングブレードを用いて、エッジ領域120内の酸化膜206からベース用半導体基板201に向かって、酸化膜206と、葉子形成用半導体基板203と、埋め込み酸化膜202とを削る。そして、ベース用半導体基板201を露出させる。ここで、ベース用半導体基板201は、少し削られてよい。

【0032】次に、図3(c)に示すように、CVD法を用いて、酸化膜206上と、電極パッド205の第1の面の一部とに絶縁膜207を設ける。また、同時に、CVD法を用いて、露出されたベース用半導体基板201の第1の面の一部と、露出された埋め込み酸化膜20

2の第3の面と、露出された葉子形成用半導体基板203の第3の面と、露出された酸化膜206の第3の面とに絶縁膜207aを設ける。ここで、絶縁膜207aは、絶縁膜207の一部である。

【0033】次に、図3(d)に示すように、スパッタ法を用いて、電極パッド205の第1の面と、絶縁膜207上と、露出されたベース用半導体基板201の第1の面と、絶縁膜207a上とにTi金属膜208を設ける。

【0034】次に、図4(a)に示すように、スパッタ法を用いて、Ti金属膜208上に、Cu金属膜209を設ける。ここで、Cu金属膜209は、半導体基板204に形成された溝が埋まるように設ける。つまり、葉子形成領域110及びエッジ領域120のCu金属膜209は、ほぼ水平となる。

【0035】次に、図4(b)に示すように、フォトリソグラフィ法及びドライエッチ法を用いて、第2の領域110bのCu金属膜209上に、ポスト211を設ける。ここで、ポスト211は、Cu金属膜209と電気的に接続されるように設けられる。

【0036】次に、図4(c)に示すように、Cu金属膜209及びポスト211を封止部材213で封止する。ここで、封止部材213が樹脂の場合、トランスファーマーモールド方法若しくはポットティング方法等を用いて、ポスト211全体が封止部材213で覆われるように封止する。なお、封止部材213が金属の場合、ポスト211全体を封止するのではなく、ポスト211の第1の面は露出させてもよい。

【0037】次に、図4(d)に示すように、露出しているポスト211の第1の面にスクリーン印刷、はんだメッキ若しくはスーパースOLDERING方法を用いて、はんだボール212を搭載する。そして、ウェハをスクライプライン120aに沿ってダイシングし、図2に示されるような半導体装置を得る。ここで、封止部材213が樹脂の場合、樹脂の上面を全面エッチング(グラインド)し、ポスト211の第1の面を露出させる。

【0038】ここで、図3(b)及び図3(c)に示される工程において絶縁膜207aを設けるとともに、第1の領域110aの葉子形成用半導体基板203に絶縁膜207bを設ける。

【0039】本発明の第1の実施の形態の半導体装置の製造方法によれば、以下の効果を奏する。

【0040】(5) 葉子形成領域110の電極パッド205とポスト211とを電気的に接続させるための導電層210を形成する工程において、エッジ領域120にベース用半導体基板201の電位を固定するための導電層210を同時に設けることができる。加えて、第1の領域110aの葉子形成用半導体基板203に絶縁膜207bを設ける工程において、エッジ領域120に絶縁膜207aを同時に設けることができる。よって、エッ

領域120に導電層210及び絶縁膜207aを設け
 るために新たな工程を設ける必要はない。そのため、本
 発明の第1の実施の形態の半導体装置の製造方法は、従
 来の半導体装置の製造方法に比べ、作業効率が良い。

【0041】(6)ウェハ形態で製造される複数の半導体装置210は、ウェハ形態で製造される複数の半導体装置220を介してお互いに接続されている。そして、ベース用半導体基板201の電位を固定するため導電層210は、複数の半導体装置間のエッジ領域120に形成される。よって、1つの工程で接合するすべての半導体装置間の導電層210を同時に設けることができる。そのため、本発明の第1の実施の形態の半導体装置の製造方法は、従来の半導体装置の製造方法に比べて、作業効率が良い。

【0042】（第2の実施の形態）図5及び図6は、本発明の第2の実施の形態の半導体装置及びその製造方法に係わる図である。図5は本発明の第2の実施の形態の半導体装置の構造を示し、図6は本発明の第2の実施の形態の半導体装置の製造工程を示している。なお、各領域120及び素子形成領域110の第2の領域110bの部分断面図である。

【0043】 初めに、本発明の第2の実施の形態の半導体表面構造を説明する。図5に示すように、本発明の第2の実施の形態の半導体表面構造は、エッジ領域120、封止部材213の厚さは、第2の領域110bの封止部材213の厚さより厚く設けられている。よって、エッジ領域120の半導体表面構造213と導電層210が接触している面積は、広くなっている。また、エッジ領域120の半導体表面構造の側面において、封止部材213の露出している面積は、広くなっている。よって、エッジ領域120の半導体表面構造210の露出している面積は、狭くなっている。

【0044】本発明の第2の実施の形態の半導体装置によれば、本発明の第1の実施の形態の半導体装置において得られる効果(1)～(4)に加え、以下の効果を奏する。

【0045】(7) エッジ領域120の封止部材213と導電層210との接触面積が広く、アンカー効果が強^い。よって、本発明の第2の実施の形態の半導体装置は、エッジ領域120の導電層210とエッジ領域120の封止部材213とを正確にくくすることができ^る。

【0046】(8) エッジ領域120の導電層210の露出面積は狭い。よって、本発明の第2の実施の形態の半導体装置は、外気に触れる導電層210の面積を狭くし、導電層210の腐食を防ぐことができる。

【0047】次に、本発明の第2の実施の形態の半導体装置を製造する方法について説明する。本発明の第2の実施の形態の半導体装置を製造する方法においては、図4(a)のCu金属膜209を設ける工程を変え、図4

2の領域110bの部分断面図である。

【0056】図8に示すように、本発明の第4の実施の形態の半導体装置は、第2の再配線801（以下、第2の導電層801という）と、例えばCu（銅）により構成される第2の導電性柱状部材805（以下、第2のポスト805という）と、例えばはんだにより構成される第2の球状電極806（以下、第2のはんだボール806という）とを有している。

【0057】第2の導電層801は、例えばT_i(チタン)からなる金属膜802(以下、第2のT_i金属膜802という)、例えばCu(銅)からなる金属膜803(以下、第2のCu金属膜803という)とにより構成されている。第2のT_i金属膜802は、第2の領域110bの絶縁膜207上と、エッジ領域120のベース用半導体基板201の第1の面と、エッジ領域120の絶縁膜207a上とに設けられている。ここで、エッジ領域120の第2のT_i金属膜802は、ベース用半導体基板201と電気的に接続されている。第2のCu金属膜803は、第2のT_i金属膜802上に設けられている。第2のCu金属膜803は、第2のT_i金属膜802と電気的に接続されている。なお、導電層210(第1の導電層)と第2の導電層801とは、電気的に接続されないように設けられている。ここで、第2の領域110bのベース用半導体基板201の第1の領域110aの面からCu金属膜209までの高さとして、エッジ領域120のベース用半導体基板201の第1の面から第2のCu金属膜803までの高さとして、ほぼ同じである。ここで、第2の導電層801が第2のT_i金属膜802と第2のCu金属膜803とにより構成されている理由は、第2のCu金属膜803を絶縁膜207上に設けた場合、第2のCu金属膜803が剥がれる可能性があるため、第2のCu金属膜803が剥がれる可能性が非常に低く、第2のT_i金属膜802を絶縁膜207上に設け、第2のT_i金属膜802上に第2のCu金属膜803を設けている。

【0058】第2のポスト805は、第2の領域110bの第2のCu金属膜803上に設けられている。ここで、第2のポスト805は、第2のCu金属膜803と電気的に接続されている。

【0059】第2のはんだボール806は、第2のポスト805の第1の面に設けられている。第2のはんだボール806は、第2のポスト805と電気的に接続されている。

【0060】封止部材2113は、電極パッド2205と電
気的に接続されている導電層210と、第2の導電層8
01とを電気的に接続しないように設けられている。
【0061】ここで、導電層210上に設けられている
ポスト211を第1の導電性柱状部材とし、ポスト21
1の第1の面に設けられているはんだボール212を第
2の球状電極とする。

【0062】次に、本発明の第4の実施形態の半導体装置が、ベース用半導体基板201の電位を固定する方法について説明する。

【0063】本発明の第4の実施の形態の半導体装置は、第2のはんだがボール806を介して他の半導体装置と電気的に接続され、第2のはんだがボール806を介して、供給が供給される。そして、供給される電圧は、第2の導電層801を介してベース用半導体基板201に供給される。よって、ベース用半導体基板201の電位は、固定される。ここで、はんだがベース用半導体基板201を介して供給される電圧は、ベース用半導体基板201に供給されず、導電層210及び電極パッド205を介して回路素子に供給される。

【００６４】本発明の第４の実施の形態の半導体装置によれば、本発明の第１の実施の形態の半導体装置において得られる効果（１）～（２）及び（４）に加え、以下の効果を奏する。

【0065】(12) ベース用半導体基板210の電位を固定するための第2の導電層801と、素子形成半導体基板203に設けられている回路素子と電気的に接続されている導電層210とは、電気的に接続されている。そのため、ベース用半導体基板210は、素子形成用半導体基板203上に設けられる回路素子と電気的に接続され、第2の導電層806を介して電位を得ることができる。よって、本発明の第4の実施形態の半導体装置は、素子形成用半導体基板203上に設けられるトランジスタ等の回路素子に影響を与えることを防ぐことができる。

【0069】なお、図8(b)に示すように、葉子形成領域110の第1の領域110aの葉子形成用半導体基板上に、第2の領域110bの葉子形成用半導体基板上に、絶縁膜207bを設けてもよい。そして、エッジ領域120の絶縁膜207aを除くことができる。よって、図8(b)のエッジ領域120は、図8(a)のエッジ領域120に比べ、かなり狭く縮小することができ、

【0067】（第5の実施の形態）図9は、本発明の第5の実施の形態の半導体装置に係わる図である。図9は本発明の第5の実施の形態の半導体装置の構造を示している。なお、図9は、本発明の第5の実施の形態の半導体装置のエッジ領域120及び素子形成領域110の第2の領域110bの部分断面図である。

【0068】図9に示すように、本発明の第5の実施形態の半導体装置では、エッジ領域120の封止部材213の厚さは、第2の領域110bの封止部材213の厚さより厚く設けられている。よって、エッジ領域120の封止部材213と第2の領域801とが接合して面積は、広くなっている。また、エッジ領域120の封止部材213の封出している面積は、広くなっている。よって、エッジ領域

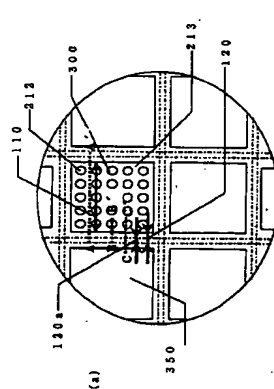
【図3】本発明の第1の実施の形態の半導体装置の製造工程を説明する部分断面図である。
 【図4】本発明の第1の実施の形態の半導体装置の製造工程を説明する部分断面図である。
 【図5】本発明の第2の実施の形態の半導体装置の製造工程を説明する部分断面図である。
 【図6】本発明の第2の実施の形態の半導体装置の製造工程を説明する部分断面図である。
 【図7】本発明の第3の実施の形態の半導体装置の製造工程を説明する部分断面図である。
 【図8】本発明の第4の実施の形態の半導体装置の製造工程を説明する部分断面図である。
 【図9】本発明の第5の実施の形態の半導体装置の製造工程を説明する部分断面図である。
 【図10】本発明の第6の実施の形態の半導体装置の製造工程を説明する部分断面図である。
 【図11】本発明の第7の実施の形態の半導体装置の製造工程を説明する部分断面図である。
 【図12】本発明の第7の実施の形態の半導体装置の製造工程を説明する部分断面図である。
 【図13】本発明の第8の実施の形態の半導体装置の製造工程を説明する部分断面図である。

【図14】本発明の第9の実施の形態の半導体装置の構造を示す部分断面図である。
 【図15】本発明の第10の実施の形態の半導体装置の構造を示す部分断面図である。
 【図16】本発明の第11の実施の形態の半導体装置の構造を示す部分断面図である。
 【図17】本発明の第12の実施の形態の半導体装置の構造を示す部分断面図である。
 【図18】従来の半導体装置の構造を示す断面図である。

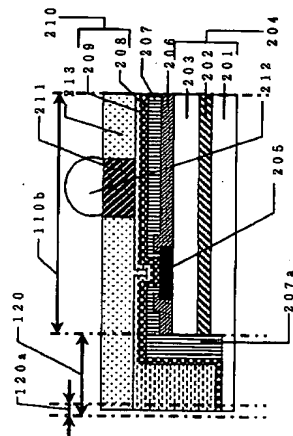
【符号の説明】

201 ベース用半導体基板
 202 埋め込み酸化膜
 203 素子形成用半導体基板
 207 絶縁膜
 210 導電層
 211 ポスト
 212 はんだボール
 801 第2の導電層
 805 第2のポスト
 806 第2のはんだボール
 1100 第3の導電層

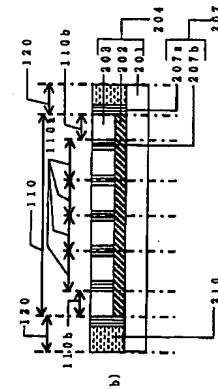
【図1】



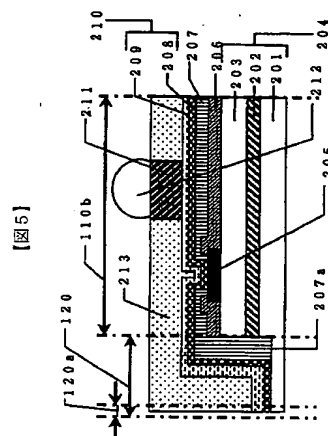
【図2】



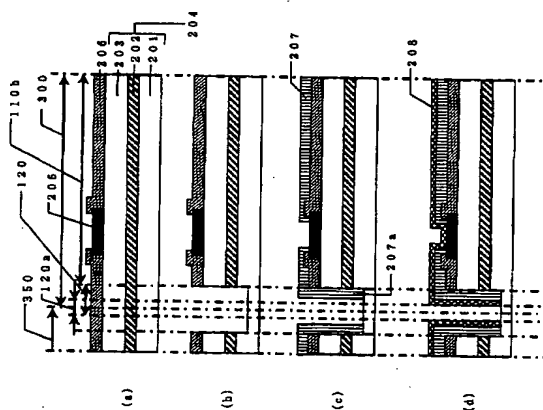
【図3】



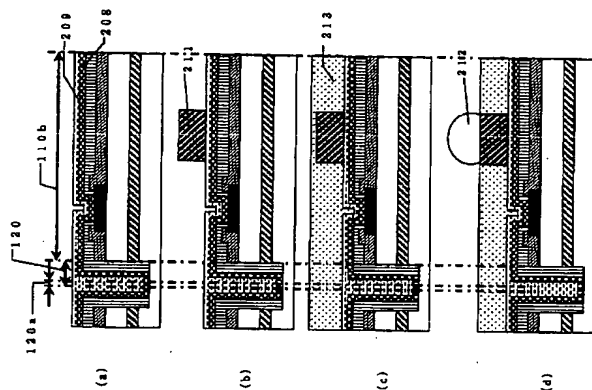
【図5】



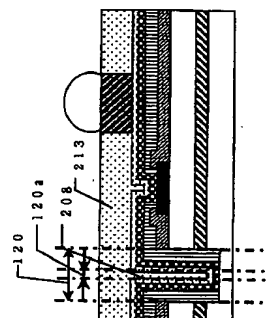
【図3】



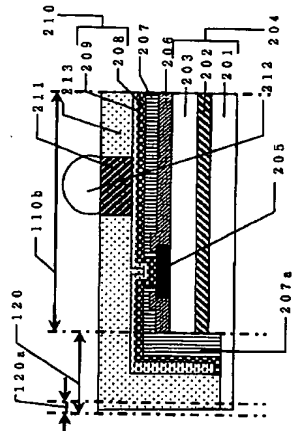
【図4】



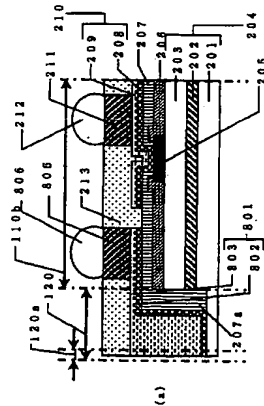
【図6】



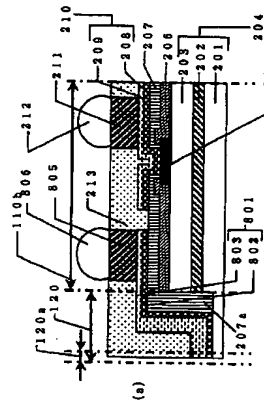
【図7】



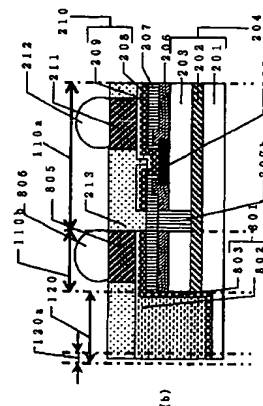
【図8】



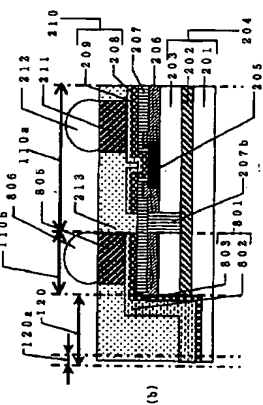
【☒9】



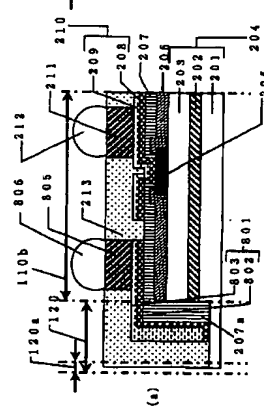
(9)



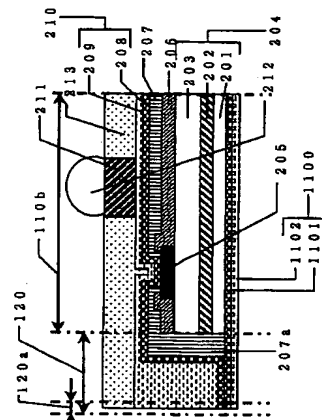
3



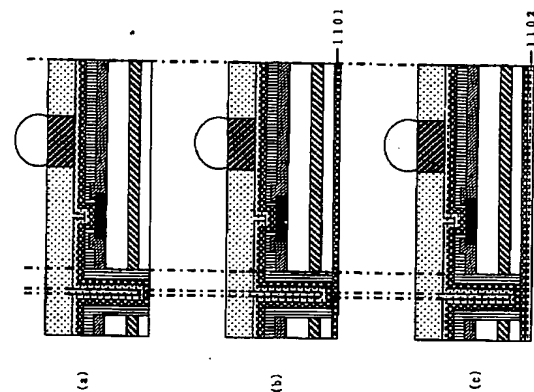
【図10】



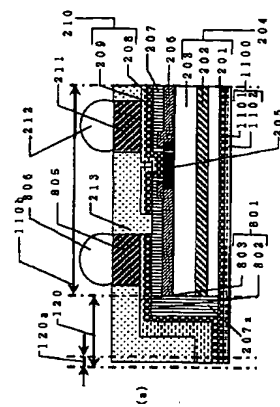
【图 11】



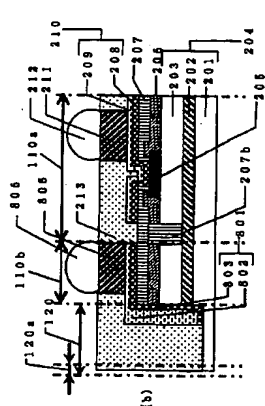
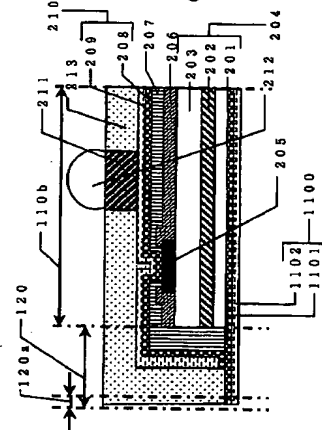
【图12】



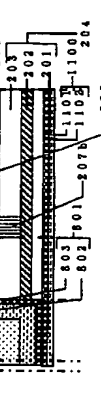
【图 16】



【图 14】



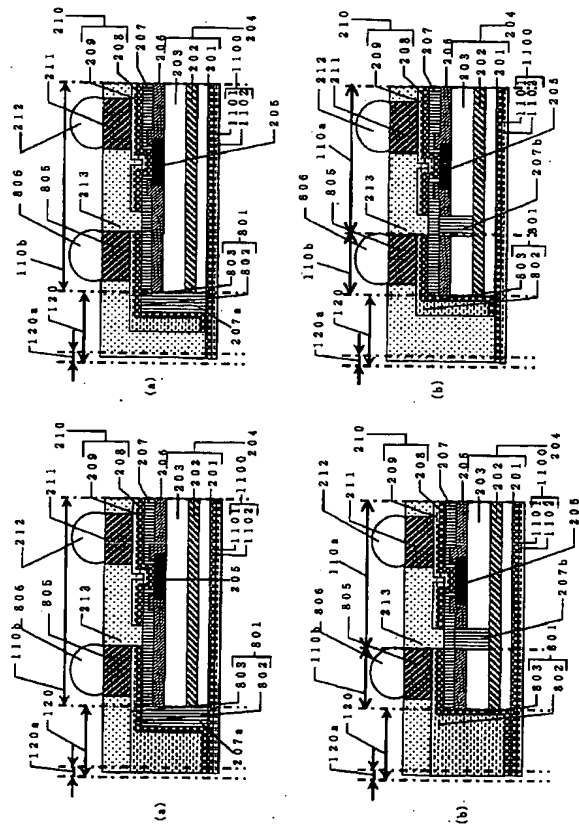
(b)



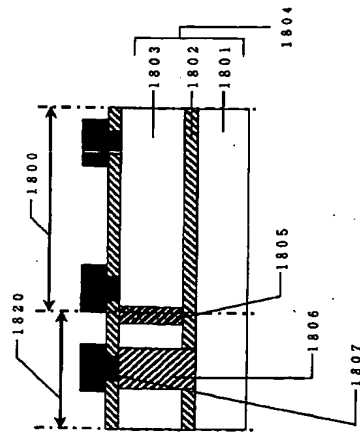
(b)

【図16】

【図17】



【図18】



フロントページの続き

(5) Int. Cl. 7	識別記号	F I	テラート (参考)
H01L 23/12	501	H01L 21/92	602F
23/29			604H
23/31		23/30	B